

CLIPPEDIMAGE= JP361059762A

PAT-NO: JP361059762A

DOCUMENT-IDENTIFIER: JP 61059762 A

TITLE: SEMICONDUCTOR DEVICE

PUBN-DATE: March 27, 1986

INVENTOR-INFORMATION:

NAME

ASAMI, FUMITAKA

ASSIGNEE-INFORMATION:

NAME

FUJITSU LTD

COUNTRY

N/A

APPL-NO: JP59181081

APPL-DATE: August 30, 1984

INT-CL (IPC): H01L025/04

ABSTRACT:

PURPOSE: To improve yield by dividing LSI into two portions of a high voltage resistance chip and an ordinary chip.

CONSTITUTION: A high voltage resistance chip 1 is loaded on a package 10, an ordinary chip 6 is loaded thereon on the phase-up basis, and both chips 1, 6 are connected with pads 5, 8. The pads 4 in the periphery of chip 1 and interval leads 11 metallized to the package 10 are bonded by wires 13. The internal lead 11 is connected to external lead 12 of package. A low voltage regulator circuit is formed on the chip 1 and it is used as the power source of chip 6.

COPYRIGHT: (C)1986, JPO&Japio

BEST AVAILABLE COPY

⑫ 公開特許公報(A)

昭61-59762

⑮ Int.Cl.⁴

識別記号

庁内整理番号

⑬ 公開 昭和61年(1986)3月27日

H 01 L 25/04

7638-5F

審査請求 未請求 発明の数 1 (全3頁)

⑭ 発明の名称 半導体装置

⑰ 特 願 昭59-181081

⑱ 出 願 昭59(1984)8月30日

⑲ 発 明 者 浅 見 文 孝 川崎市中原区上小田中1015番地 富士通株式会社内

⑳ 出 願 人 富 士 通 株 式 会 社 川崎市中原区上小田中1015番地

㉑ 代 理 人 弁 理 士 松 岡 宏 四 郎

明 細 書

1. 発明の名称

半導体装置

2. 特許請求の範囲

(1) 2個の半導体チップが結線されてなり、第1の半導体チップには入出力回路が、第2の半導体チップには入出力回路以外の回路が形成され、該入出力回路の耐圧が該入出力回路以外の回路より高いことを特徴とする半導体装置。

(2) 前記第1の半導体チップには、入出力回路としてレベル変換回路と、前記第2の半導体チップ用の電源としての低電圧用レギュレータ回路とが形成されていることを特徴とする特許請求の範囲第1項記載の半導体装置。

3. 発明の詳細な説明

(産業上の利用分野)

本発明は半導体チップの上に半導体チップを搭載してなる Chip on Chip の半導体装置に係り、高耐圧の入出力をもったチップの上に、低電圧の通常レベルの論理回路を形成したチップを載せて、

両方のチップをレベル変換回路と低電圧用レギュレータ回路を通じて結線した構成に関する。

大規模集積回路(LSI)の高機能化、高集積化により、近年各種機能の回路を同一LSI内に構成する場合が多くなってきた。例えばCMOSとTTL、またはアナログとCMOSのデジタル、さらにインタフェース回路を設けてCMOSとECL等の構成を有するLSIの要求に対し、同一チップ内に構成することは困難である。無理をして強行しても製造工程上、またその歩留りの上からも極めて不利である。

従って回路機能別に独立のチップを用いれば、それぞれに最適なプロセスが適用でき、各機能毎の特徴が生かせることになり、そのため2チップよりなる所謂 Chip on Chip のLSIが検討されるようになった。

近年、プラズマ表示装置や、蛍光表示管や、各種プリンタのハンマ等を直接駆動する高耐圧LSIの需要が多くなり、この場合も、LSIの製造歩留り上、また信頼性上高耐圧部と低圧部を2

チップに分けた構成のLSIが望まれる。

(従来の技術と問題点)

前記用途の高耐圧LSIの耐圧は20~30V、あるいはそれ以上が要求される。この場合高耐圧素子だけでなく、内部論理回路まで線幅の大きい設計ルールを適用しなければならず、従って集積度が低下する。

(問題点を解決するための手段)

上記問題点の解決は、2個の半導体チップが結線されてなり、第1の半導体チップには入出力回路が、第2の半導体チップには入出力回路以外の回路が形成され、該入出力回路の耐圧が該入出力回路以外の回路より高い本発明による半導体装置により達成される。

さらに前記第1の半導体チップには、入出力回路としてレベル変換回路と、前記第2の半導体チップ用の電源としての低電圧用レギュレータ回路とが形成されていることにより、一層有効な手段が得られる。

(作用)

ーク3を配設し、その外周にはパッケージに接続するパッド4、内周には上側チップに接続するパッド5を設ける。

6は上側チップで、内部論理回路7を配設し、その外周には下側チップに接続するパッド8を設ける。

ワイヤ9により、パッド5、8間がボンディングされて、上下のチップが結線される。

第2図は本発明の実施例を示すLSIをパッケージに組み込んだ断面図である。

図において、パッケージ10の上にチップ1を搭載し、その上にチップ6をフェイスアップに載せ、パッド5、8により両チップを結線する。つぎにワイヤ13によりチップ1の周辺のパッド4とパッケージ10にメタライズされた内部リード11とをボンディングする。内部リード11はパッケージの外周リード12に接続されている。14はパッケージの蓋を示す。

第3図はレベル変換回路2の論理回路図である。図は3段のインバート回路を示し、CMOSで

低電圧の論理LSI(5V用等)を形成した上側チップを、高耐圧の入出力をもった下側チップの上に載せる。このとき高耐圧の下側チップ上には低電圧用のレギュレータ回路を作っておき、上側のチップの電源とする。

下側のチップは、上側のチップからの信号レベルをレベル変換して外部とのやりとりを行う。従って外部から見ると高耐圧のLSIとなる。

また下側のチップは大きくなるが、アクティブ領域はチップの周辺のみでそれほど大きくなく、歩留りの低下をきたさない。

上側のチップの内部論理回路は低圧の通常のLSIを使えるため、高耐圧で作るより小さくなり、従って歩留りも良く高集積化が可能となる。

(実施例)

第1図は本発明の実施例を示すLSIの平面図である。

図において、1は下側の高耐圧チップで、その中央部に上側チップを載せるスペースをあけて、周辺部にレベル変換回路2と、低電圧用レギュレ

構成する場合は、例えば高電源電圧を20V、低電源電圧を5Vとすれば、低電源電圧より高電源電圧に変換する場合は各段の電源電圧を20Vにし、しきい値電圧を2.5、10、10Vにすればよい。また反対に高電源電圧より低電源電圧に変換する場合は各段の電源電圧を20、5、5Vにし、しきい値電圧を10、2.5、2.5Vにすればよい。

インバート回路はCMOSの代わりにバイポーラで構成してもよい。

実施例では両チップの結線をパッド5、8間のボンディングで行ったが、パンプ(配線層の隆起部)、ビームリードで行ってもよい。

また実施例では、パッケージはセラミックを用いたが、モールドでもよい。

(発明の効果)

以上説明したように本発明によれば、LSIを高耐圧チップと通常のチップとに2分することにより、内部論理は通常の高集積のLSIをそのまま用いて、高耐圧用のLSIを高集積に歩留り良く得ることができる。

4. 図面の簡単な説明

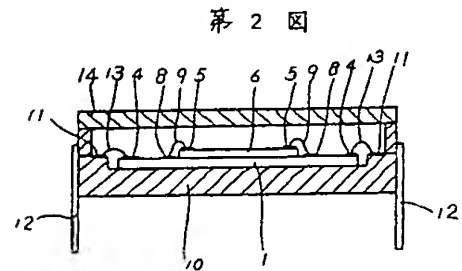
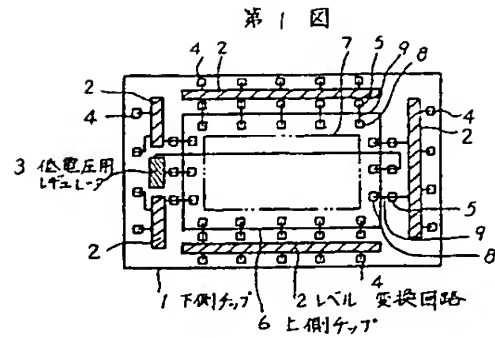
第1図は本発明の実施例を示すLSIの平面図、
第2図は本発明の実施例を示すLSIをパッケージに組み込んだ断面図、

第3図はレベル変換回路の論理回路図である。

図において、

- | | |
|---------------|-----------|
| 1は下側の高耐圧チップ、 | |
| 2はレベル変換回路、 | |
| 3は低電圧用レギュレータ、 | |
| 4と5と8はパッド、 | 6は上側チップ、 |
| 7は内部論理回路、 | 9と13はワイヤ、 |
| 10はパッケージ、 | 11は内部リード、 |
| 12は外部リード、 | 14は蓋 |

を示す。



第3図



代理人 弁理士 松岡宏四郎

